3V 至 5.5V 的具有±30kV ESD 等级、±65V 总线端口故障保护和±40V 共模范围的 RS-485 半双工收发器

1. 产品特性

- 满足或超过 TIA/EIA-485A 标准的要求
- 数据速率：
  - CA-IF4905S：低 EMI 的 500kbps
  - CA-IF4905M：低 EMI 的 2Mbps
- 3V 至 5.5V 电源电压
- 带有限流驱动器和热关断功能
- 总线 A/B 引脚 ESD 保护等级：
  - ±30kV HBM ESD
  - ±6kV IEC 61000-4-2 接触放电
- 1/8 单位负载（支持多达 256 个总线节点）
- 开路、短路和空闲总线失效保护
- 热插拔保护
- 扩展工业工作温度范围：–40°C 至 125°C
- 总线端口故障保护电压范围：±65V
- 总线端口共模电压范围：±40V
- 待机电流：<30µA
- 标准 SOIC8 窄体封装和小型化 MSOP8 封装

2. 应用

- 暖通空调系统
- 楼宇自动化
- 运动控制器
- 工业自动化
- 电梯控制
- 视频监控
- 电网基础设施

3. 概述

CA-IF4905 是一款高性能的 RS-485 半双工收发器，能够运用在各种恶劣的工业、家电环境中。该器件的总线引脚可耐受高级别的 ESD 事件，保护内部电路不受损坏。

该器件的总线端口故障保护电压高达±65V，共模电压范围可以扩展到±40V（此时电源电压为 4.5V 至 5.5V），支持长电缆通信的应用。CA-IF4905 器件内部包含一路驱动器和一路接收机，支持 3V 到 5.5V 的电源电压范围。

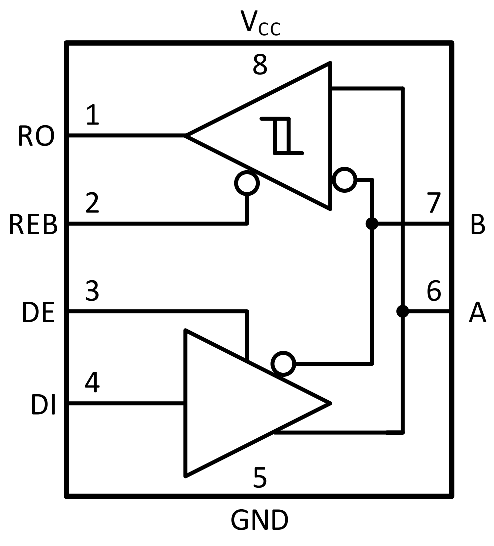
CA-IF4905 的驱动器采用限摆率设计来降低 EMI，可支持最高 2Mbps 的通信速率。该器件的接收机内部集成安全失效电路，确保在总线输入开路、短路和空闲状态下，接收机输出保持高电平。该器件的总线输入端口具有 1/8 单位负载阻抗，允许同一总线上挂接多达 256 个收发器。

CA-IF4905 器件提供标准 SOIC8 窄体封装和小型化 MSOP8 封装，在自然通风环境下的工作温度范围为–40°C 至 125°C。

表 3-1 器件信息

零件号	封装	封装尺寸（标称值）
CA-IF4905S	SOIC8 (S)	3.90mm × 4.90mm
CA-IF4905M	MSOP8 (M)	3.00mm × 3.00mm

简化原理图



4. 订购指南

表 4-1 有效订购零件编号

型号	全/半双工	速率（Mbps）	封装
CA-IF4905S	半双工	0.5	SOIC8 (S)
CA-IF4905M	半双工	2	MSOP8 (M)

目录

5. 修订记录

修订版本号	修订内容	修订日期	页码
Version 1.00	NA	2024.06.18	NA
Version 1.01	增加料号：CA-IF4905M	2025.06.11	1，5，17，19
Version 1.02	补充 CA-IF4905M 的时序特性参数 更新 CA-IF4905S 的编带信息	2025.08.22	1，5，7 19

6. 引脚功能描述

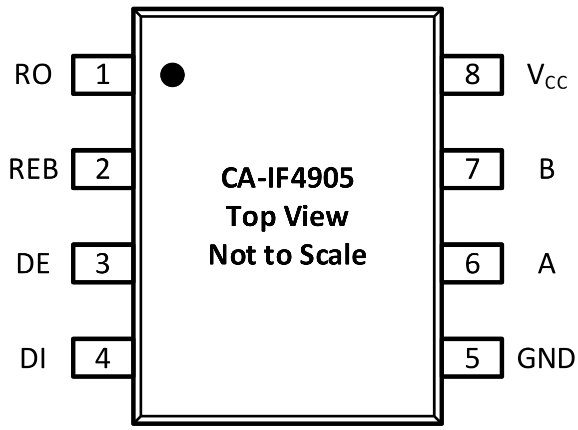


图 6-1 CA-IF4905 引脚图

表 6-1 CA-IF4905 引脚功能描述

引脚名称	引脚编号	类型	描述
RO	1	数字输出	接收机数据输出
REB	2	数字输入	接收机使能，内部电阻上拉， REB 为低电平时接收机使能工作，REB 为高电平或者悬空时接收机输出为高阻
DE	3	数字输入	驱动器使能，内部电阻下拉，DE 为高电平时驱动器使能工作，DE 为低电平或者悬空时驱动器输出为高阻
DI	4	数字输入	驱动器数据输入，内部电阻上拉
GND	5	地	地
A	6	总线输出/输入	总线接收机同相输入端/驱动器同相输出端
B	7	总线输出/输入	总线接收机反相输入端/驱动器反相输出端
V_{CC}	8	电源	供电电源输入，在 V_{CC} 与 GND 之间外接至少 0.1µF 的旁路电容，电容需靠近电源引脚安装

7. 产品规格

7.1. 绝对最大额定值 [1]

参数		最小值	最大值	单位
V_{CC}	电源电压 [2]	−0.5	7	V
V_{IO}	总线电压 A，B[2]	−65	65	V
V_{IO}	逻辑输入电压 DI，DE，REB	−0.3	V_{CC} + 0.3[3]	V
V_{IO}	逻辑输出电压 RO	−0.3	V_{CC} + 0.3[3]	V
T_J	结温		150	°C
T_{STG}	存储温度	−65	150	°C

备注：
1. 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值，并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下，推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。
2. 所有电压均参照地（GND）且为峰值电压。
3. 最大电压不得超过 7V。

7.2. ESD 额定值

参数				数值	单位
V_{ESD}	静电放电	人体模型 （HBM）， 根据 ANSI/ESDA/JEDEC JS-001	总线 A，B 到 GND	±30	kV
			其它引脚	±4	
		器件充电模型（CDM），根据 JEDEC 规范 JESD22-C101， 所有引脚		±2	
		接触放电 （Contact Discharge），根据 IEC 61000-4-2	总线 A，B 到 GND	±6	kV

7.3. 建议工作条件

参数			最小值	典型值	最大值	单位
V_{CC}	电源电压，参照 GND		3.0	5.0	5.5	V
VIN	总线输入电压		–40		40	V
VIH	DI，DE，REB 引脚高电平输入阈值		2.0		V_{CC}	V
VIL	DI，DE，REB 引脚低电平输入阈值		0		0.8	V
RL	差分负载电阻		54			Ω
$1/t_{UI}$	数据速率	CA-IF4905S			0.5	Mbps
		CA-IF4905M			2	
T_A	工作环境温度		–40		125	°C
T_J	结温		–40		150	°C

7.4. 热量信息

热量参数		封装类型		单位
		SOIC8 (S)	MSOP8 (M)	
$R_{\theta JA}$	芯片结到环境的热阻	120	160	°C/W

7.5. 电气特性

在正常工作温度范围内（除非另有说明）。所有典型值均在 25°C 且电源电压为 V_{CC} = 5V 的情况下进行。

参数		测试条件	最小值	典型值	最大值	单位
驱动器						
$\lvert V_{OD} \rvert$	差分输出电压	R_L = 60Ω，–40V ≤ V_{test} ≤ 40V，见图 8-1	1.2	2.8		V
		R_L = 60Ω，–40V ≤ V_{test} ≤ 40V，4.5V ≤ V_{CC} ≤ 5.5V，见图 8-1	2	2.8		V
		R_L = 100Ω，C_L = 50pF，见图 8-2	1.7	3.5		V
		R_L = 54Ω，C_L = 50pF，见图 8-2	1.2	2.8		V
$\Delta\lvert V_{OD} \rvert$	差分输出电压变化	R_L = 54Ω 或 100Ω，C_L = 50pF，见图 8-2	–200		200	mV
V_{OC}	共模输出电压	R_L = 54Ω 或 100Ω，C_L = 50pF，见图 8-2	1		3.2	V
$\Delta V_{OC(SS)}$	稳态共模输出电压变化		–100		100	mV
I_{OSD}	驱动器短路输出电流	DE = V_{CC}，–65V ≤ V_O ≤ 65V[1]，或 A 和 B 短接	–200		200	mA
接收机						
I_I	总线输入电流	DE = 0V，V_{CC} = 0V 或 5.5V；V_I = 12V			125	μA
		V_I = –7V	–100			μA
		V_I = 40V			410	μA
		V_I = –40V	–400			μA
R_I	总线输入阻抗	共模电压范围内	96			kΩ
V_{CM}	共模电压范围	3V ≤ V_{CC} ≤ 3.6V	–25		25	V
		4.5V ≤ V_{CC} ≤ 5.5V	–40		40	V
V_{TH+}	正向输入阈值电压	共模电压范围内			–20	mV
V_{TH-}	负向输入阈值电压	共模电压范围内	–200			mV
V_{HYS}[2]	输入迟滞电压			30		mV
V_{OH}	输出高电平	I_{OH} = –3mA	V_{CC} – 0.4	V_{CC} – 0.25		V
V_{OL}	输出低电平	I_{OL} = 3mA		0.2	0.4	V
I_{OZR}	高阻输出电流	REB = V_{CC}，V_O = 0V 或 V_{CC}	–1		1	μA
I_{OSR}	接收机短路输出电流	REB= DE = 0V，见图 8-3			95	mA
输入逻辑（DI，DE，REB）						
I_{IN}	输入电流	0V ≤ V_{IN} ≤ V_{CC}，对 DE 来说在热插拔保护时间后	–10		10	μA
V_{IH}	高电平输入阈值		2.0		V_{CC}	V
V_{IL}	低电平输入阈值		0		0.8	V
供电						
I_{CC}	静态工作电流	驱动器和接收机使能，REB = 0V，DE = V_{CC}，空载		2.2	3.5	mA
		驱动器使能，接收机关闭，REB = V_{CC}，DE = V_{CC}，空载		2.2	3.5	mA
		驱动器关闭，接收机使能，REB = 0V，DE = 0V，空载		1.4	2.5	mA
		驱动器关闭，接收机关闭，REB = V_{CC}，DE = 0V，DI = V_{CC}，空载		10	30	μA
TSD	热关断温度	温度上升		185		°C
	热关断迟滞			20		°C

备注:

1. 在环境温度较高的情况下，A 或者 B 引脚施加绝对值很高的电压时可能会触发过温保护，此时驱动器输出变为高阻态，短路输出电流会大幅减小。
2. 在任何特定条件下，V_{TH+}至少比 V_{TH-}高一个 V_{HYS}。

7.6. 时序特性

在正常工作温度范围内（除非另有说明）。所有典型值均在 25°C 且电源电压为 V_{CC} = 5V 的情况下进行。

参数		测试条件	最小值	典型值	最大值	单位
CA-IF4905S						
驱动器						
t_{DR}，t_{DF}	差分输出上升/下降时间	R_L = 54Ω，C_L = 50pF，见图 8-4		110	500	ns
t_{DPHL}，t_{DPLH}	驱动传输延时			170	600	ns
t_{DSKEW}	驱动脉宽失真，$\lvert t_{DPHL} - t_{DPLH}\rvert$			5	50	ns
t_{DHZ}, t_{DLZ}	驱动关断时间	见图 8-5 和图 8-6		70	250	ns
t_{DZH}, t_{DZL}	驱动使能时间 [1]	REB = 0V，见图 8-5 和图 8-6		180	900	ns
$t_{DZH(SHDN)}$，$t_{DZL(SHDN)}$	驱动使能时间（从关断状态）	REB = V_{CC}，见图 8-5 和图 8-6		3.3	8	µs
接收机						
t_{RPHL}，t_{RPLH}	接收传输延时	C_L = 15pF[2]，见图 8-7		145	300	ns
t_{RSKEW}	接收脉宽失真，$\lvert t_{RPHL} - t_{RPLH}\rvert$			3	30	ns
t_{RHZ}, t_{RLZ}	接收关断时间	见图 8-8		10	80	ns
t_{RZH}, t_{RZL}	接收使能时间 [3]	DE = V_{CC}，见图 8-8		10	80	ns
$t_{RZH(SHDN)}$，$t_{RZL(SHDN)}$	接收使能时间（从关断状态）	DE = 0V，见图 8-9		3.9	8	µs
CA-IF4905M						
驱动器						
t_{DR}，t_{DF}	差分输出上升/下降时间	R_L = 54Ω，C_L = 50pF，见图 8-4		55	200	ns
t_{DPHL}，t_{DPLH}	驱动传输延时			80	250	ns
t_{DSKEW}	驱动脉宽失真，$\lvert t_{DPHL} - t_{DPLH}\rvert$			1	100	ns
t_{DHZ}, t_{DLZ}	驱动关断时间	见图 8-5 和图 8-6		100	250	ns
t_{DZH}, t_{DZL}	驱动使能时间 [1]	REB = 0V，见图 8-5 和图 8-6		100	250	ns
$t_{DZH(SHDN)}$，$t_{DZL(SHDN)}$	驱动使能时间（从关断状态）	REB = V_{CC}，见图 8-5 和图 8-6		3.3	8	µs
接收机						
t_{RPHL}，t_{RPLH}	接收传输延时	C_L = 15pF[2]，见图 8-7		140	220	ns
t_{RSKEW}	接收脉宽失真，$\lvert t_{RPHL} - t_{RPLH}\rvert$			1	30	ns
t_{RHZ}, t_{RLZ}	接收关断时间	见图 8-8		10	80	ns
t_{RZH}, t_{RZL}	接收使能时间 [3]	DE = V_{CC}，见图 8-8		10	80	ns
$t_{RZH(SHDN)}$，$t_{RZL(SHDN)}$	接收使能时间（从关断状态）	DE = 0V，见图 8-9		3.9	8	µs

备注:

1. 当 DE 和 REB 短接在一起时，驱动使能时间参考 REB = 0V 时的情况
2. C_L 包括探头和杂散电容。
3. 当 DE 和 REB 短接在一起时，接收使能时间参考 DE = V_{CC} 时的情况。

7.7. 典型特性

除非另有说明，所有典型值均在 25°C 且电源电压为 V_{CC} = 5V 的情况下测得。

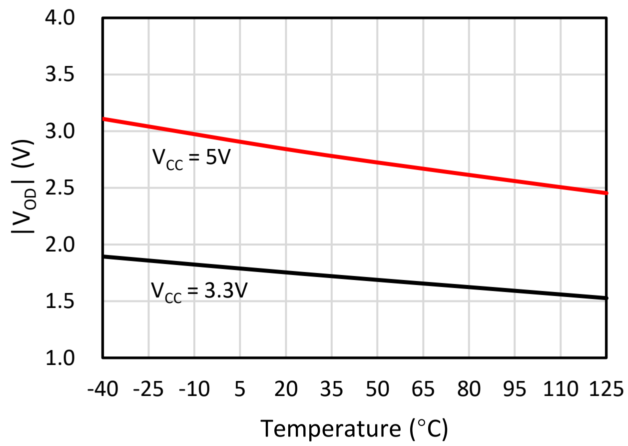


图 7-1 差分输出电压 vs 温度 @ R_L = 54Ω

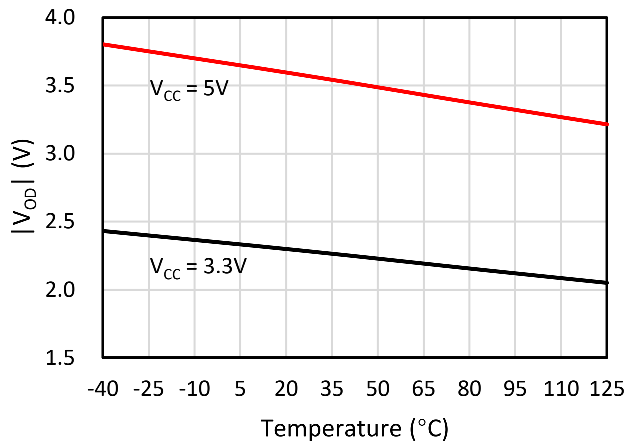


图 7-2 差分输出电压 vs 温度 @ R_L = 100Ω

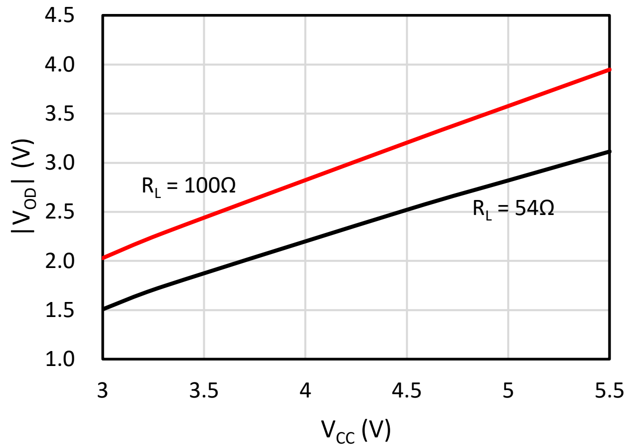


图 7-3 差分输出电压 vs 供电电压

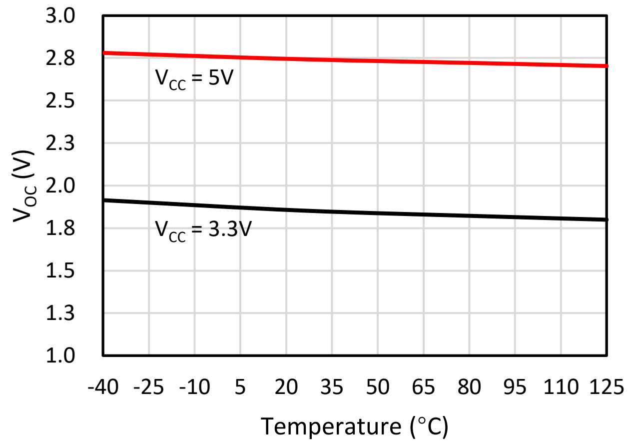


图 7-4 共模输出电压 vs 温度 @ R_L = 54Ω

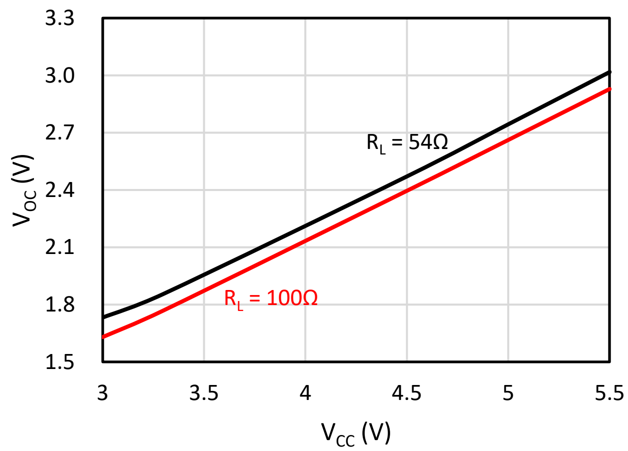


图 7-5 共模输出电压 vs 供电电压

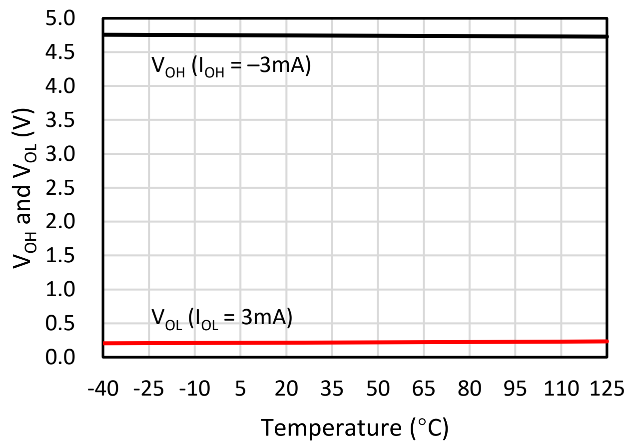


图 7-6 RO 输出高低电平 vs 温度

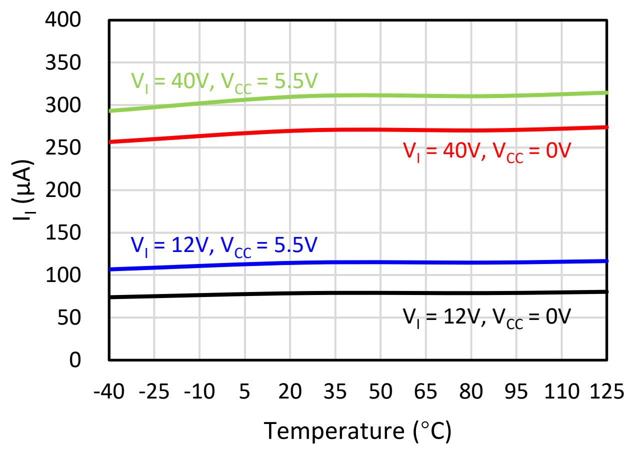


图 7-7 总线输入电流 vs 温度 @ V_I = 12V 或 40V

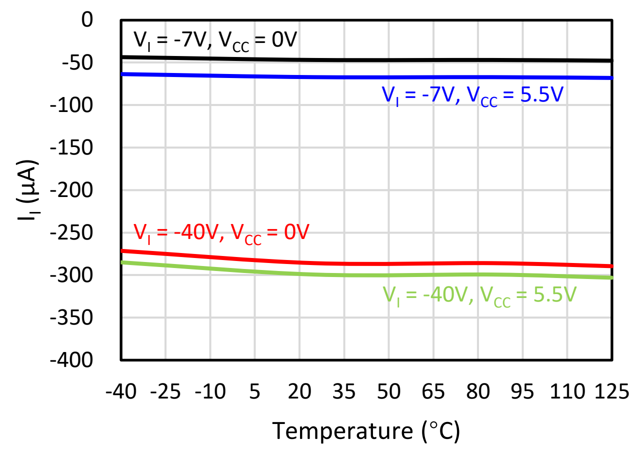


图 7-8 总线输入电流 vs 温度 @ V_I = –7V 或–40V

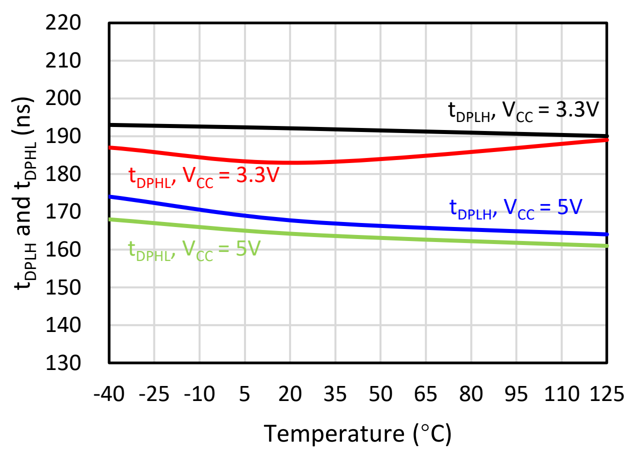


图 7-9 驱动传播延时 vs 温度

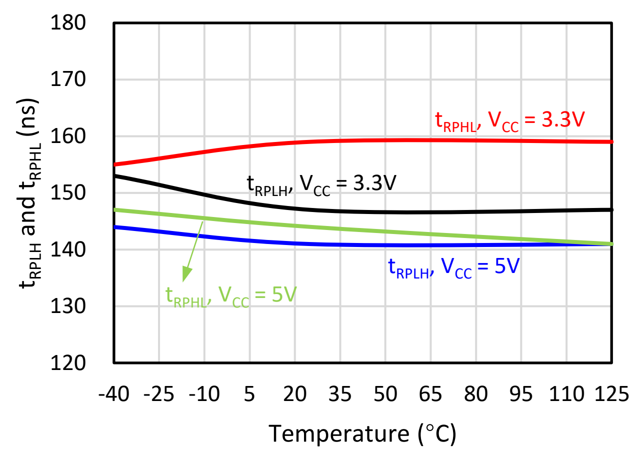


图 7-10 接收传播延时 vs 温度

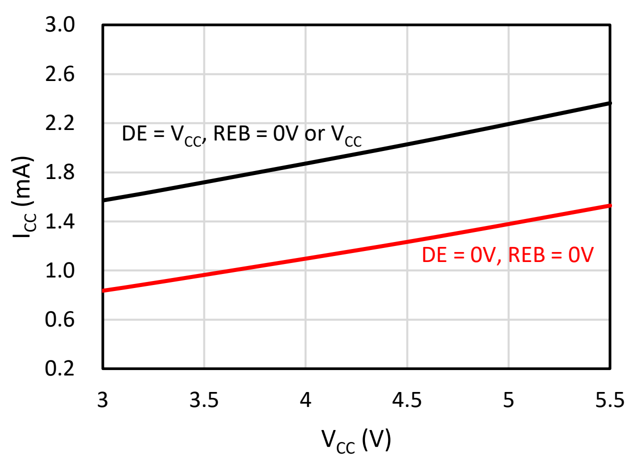


图 7-11 静态工作电流 vs 供电电压

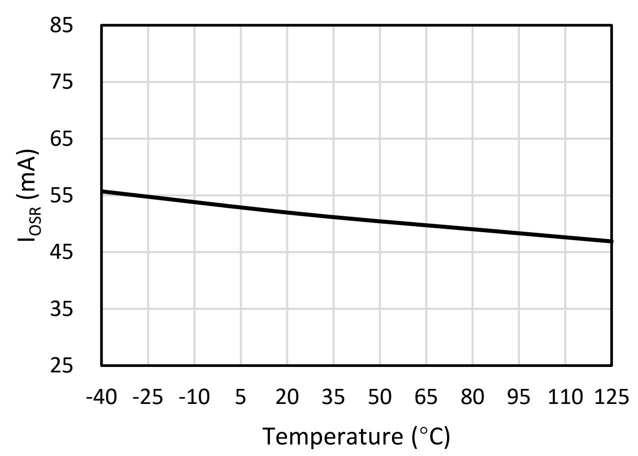


图 7-12 接收机短路输出电流 vs 温度

8. 参数测量信息

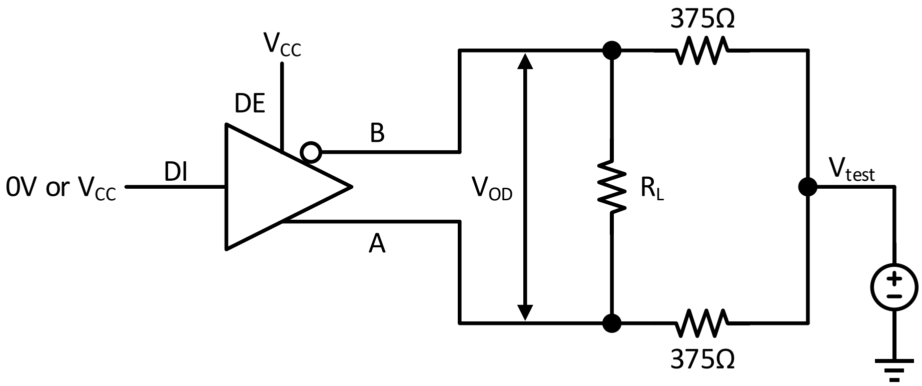


图 8-1 共模负载下驱动器差分输出电压测量

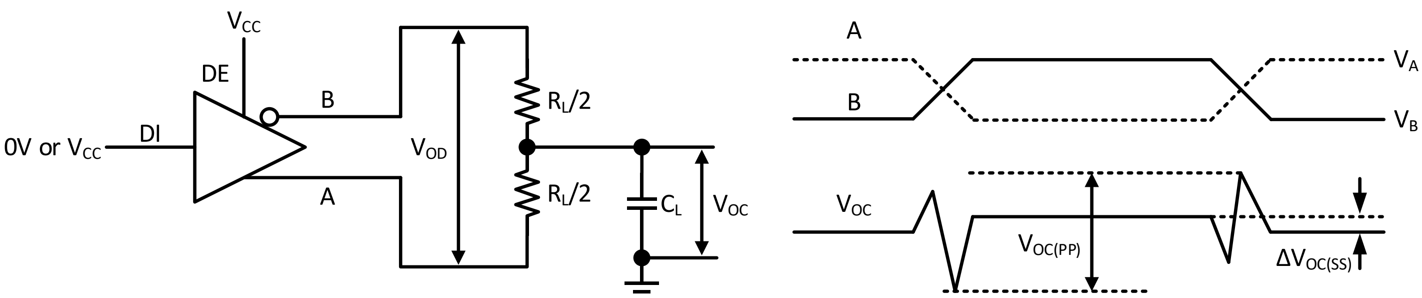


图 8-2 使用 RS-485 负载测量驱动器差分和共模输出

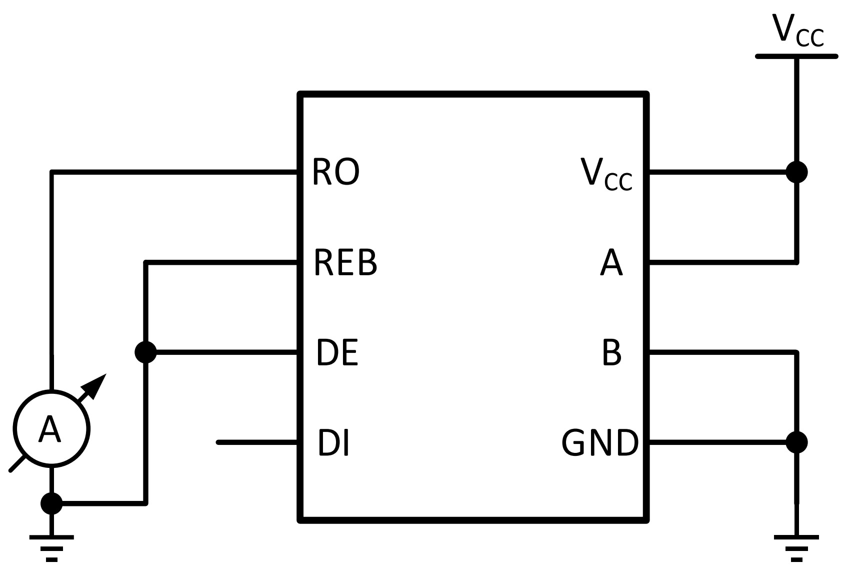


图 8-3 测量接收机短路输出电流

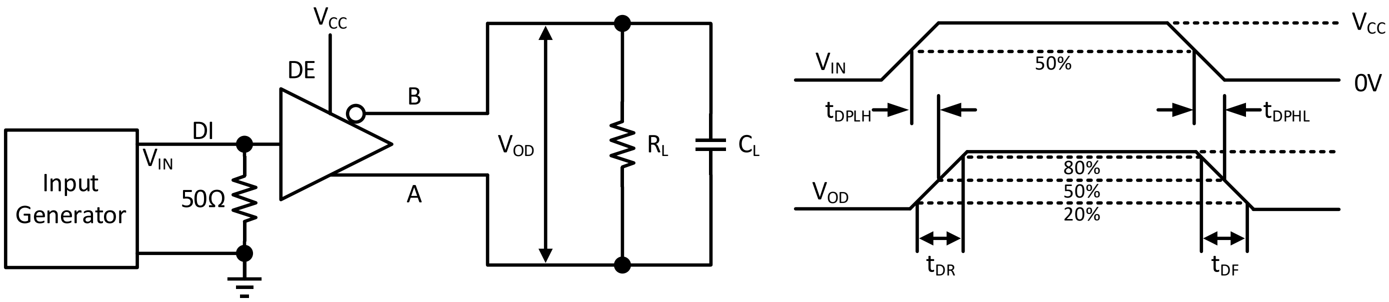


图 8-4 测量驱动器差分输出的上升和下降时间以及传播延迟

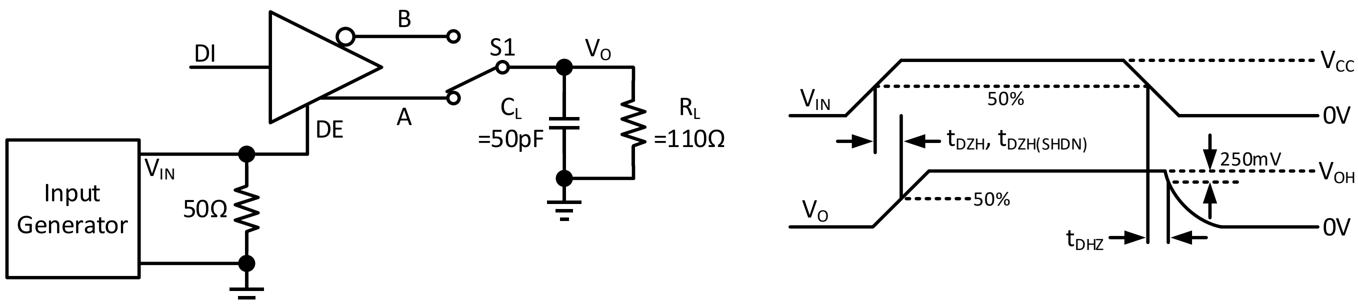


图 8-5 在有效高电平输出和下拉负载情况下测量驱动器使能和关断时间

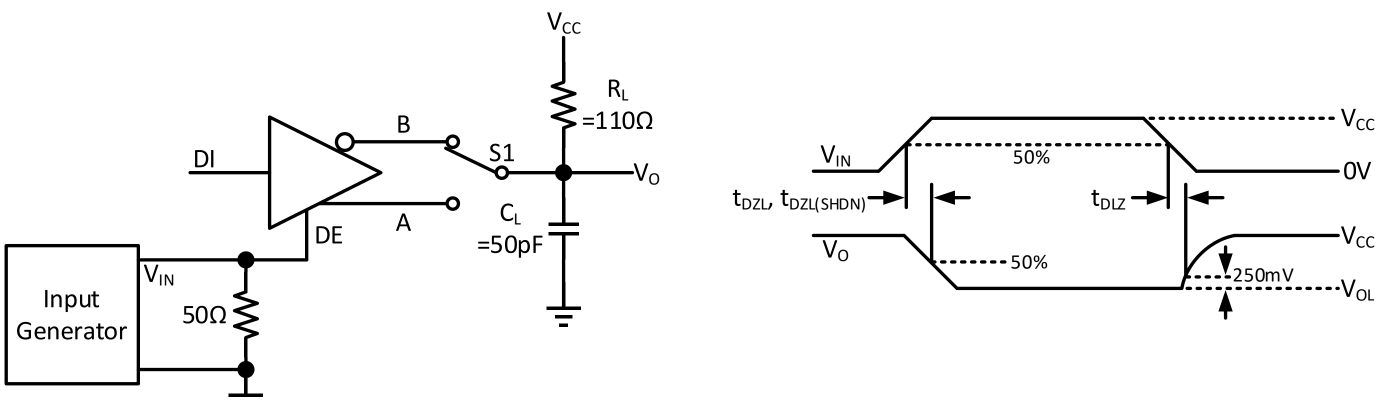


图 8-6 在有效低电平输出和上拉负载情况下测量驱动器使能和关断时间

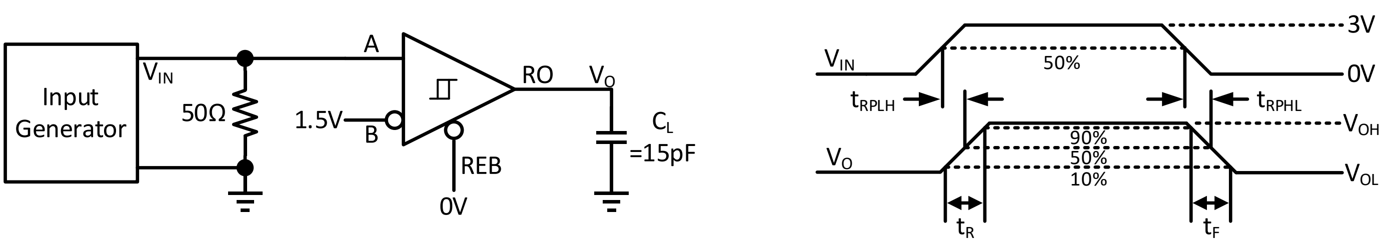


图 8-7 测量接收机输出上升和下降时间以及传播延迟

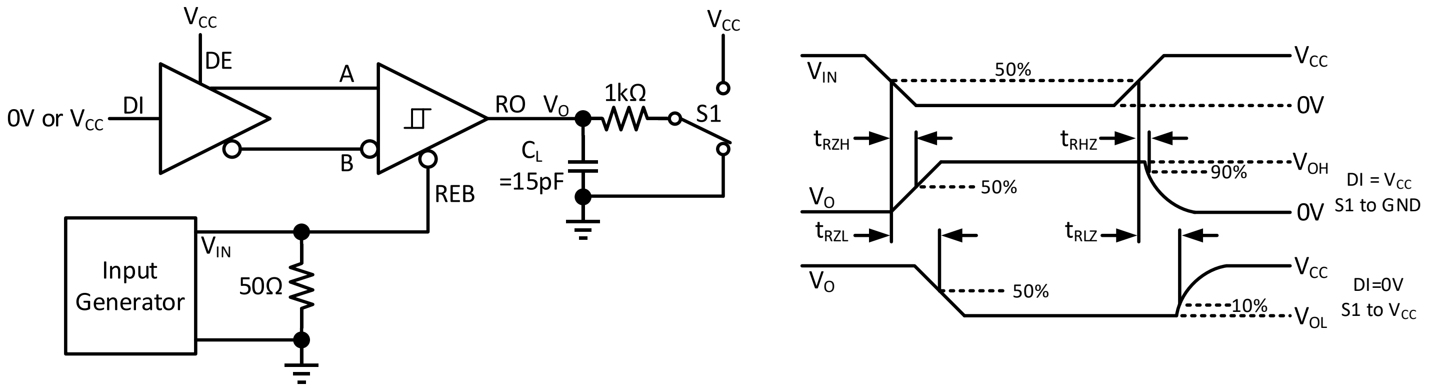


图 8-8 在驱动器使能情况下测量接收机使能和关断时间

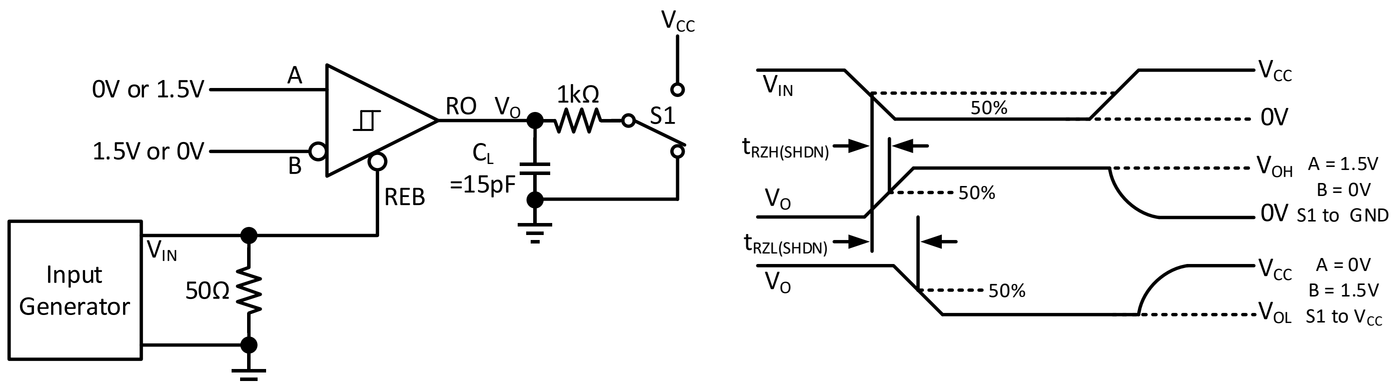


图 8-9 在驱动器禁用情况下测量接收机使能时间

9. 详细说明

9.1. 器件特征说明

9.1.1. ±65V 故障保护电压

RS-485 网络中的总线端口经常面对超出 EIA/TIA-485 标准规定的–7V 至 12V 的输入范围。在这种情况下，普通 RS-485 收发器通常需要昂贵的外部器件保护，这有可能导致性能降低。为了降低系统复杂度和对外部保护器件的需求，CA-IF4905 的总线端口可以承受高达±65V 的对地电压而不会损坏，无论此时收发器处于使能状态、关断状态还是无电源状态，都能提供故障保护。当驱动器使能并且总线端口短路时，首先驱动器本身会有限流保护措施将输出短路电流限定在一定范围内，若端口短路的故障电压绝对值较大时，器件结温可能会快速升高触发过温保护，一旦检测到器件结温超过热关断温度，驱动器会被禁用，输出变为高阻态，此时器件功耗降低避免进一步热损坏。

9.1.2. ±40V 共模电压范围

RS-485 标准将接收机的共模电压范围定义为–7V 至 12V，而 CA-IF4905 同时针对驱动器和接收机将正常工作的共模电压范围扩展到±40V。这一特性专为存在较大共模电压的系统而设计，高共模电压产生的原因是附近嘈杂电气设备干扰或者地环路的存在导致不同节点出现大的地势差。相比普通的 RS-485 收发器，±40V 的高共模电压范围可以确保 CA-IF4905 在更广泛的应用中能够正常双向通信。

9.1.3. 总线失效保护

CA-IF4905 接收机的输入阈值电压为–20mV 至–200mV，这确保了当总线在短路、开路或空闲状态时接收机输出 RO 保持逻辑高电平。

9.1.4. 热插拔保护

将电路板插入通电底板可能会导致 DE 端口和总线输入端口的电压瞬变，这会导致数据错误。例如，当电路板初始插入时，控制器会经历上电建立过程，在此期间控制器的逻辑输出为高阻态，无法驱动 DE 达到确定的逻辑电平，此时来自电源或者地的耦合噪声可能会导致 DE 的输入漂移至不确定的逻辑状态。CA-IF4905 在 DE 端口设置热插拔保护电路，可以在热插拔情况下防止意外激活驱动器。电路的基本工作原理是当电源电压上升时，内部强下拉电路使 DE 保持低电平至少 15μs，当上电过程完成后，该热插拔电路被旁路，DE 接收外界正常的控制信号。

9.1.5. 热关断保护

CA-IF4905 具有热关断保护电路：当器件结温超过 185°C（典型值），驱动器输出被禁用，RO 输出高阻；当器件结温降至 165°C（典型值）以下时，驱动器和接收机输出将被重新使能。

9.2. 器件功能模式

9.2.1. 驱动器

表 9-1 驱动器真值表 [1]

输入	使能	输出		功能
DI[2]	DE[3]	A	B	
H	H	H	L	有效输出高电平
L	H	L	H	有效输出低电平
X	L	High-Z	High-Z	禁用驱动器
X	Open	High-Z	High-Z	禁用驱动器（默认状态）
Open	H	H	L	有效输出高电平（默认状态）

备注：
1. H=高电平，L=低电平，X=无关，High-Z=高阻，Open=开路；
2. DI 引脚内部弱上拉至 V_{CC}；
3. DE 引脚内部弱下拉至 GND。

当驱动器使能引脚 DE 为逻辑高电平时，差分输出 A 和 B 跟随数据输入 DI 的逻辑状态，如表 9-1 所示。

当 DE 为低电平或者悬空时，驱动器禁用，A 和 B 输出均变为高阻态，此时 DI 的逻辑状态无关紧要。DI 引脚内部弱上拉至 V_{CC}，在使能驱动器时若将其悬空，输出 A 为高电平，B 为低电平。

9.2.2. 接收机

当接收机使能引脚 REB 为逻辑低电平时，接收机使能。接收机的真值表如表 9-2 所示。

当总线差分输入电压 V_{ID} 高于–20mV 时，接收机输出 RO 变为高电平；当 V_{ID} 低于–200mV 时，接收机输出 RO 变为低电平；如果 V_{ID} 在–20mV 和–200mV 之间时，RO 输出不确定。

当 REB 为逻辑高电平或者悬空时，接收机输出 RO 为高阻，此时 V_{ID} 的大小和极性无关紧要。

当收发器与总线断开连接（开路），总线线路彼此短路或总线空闲时，接收机输入的内部偏置会导致输出 RO 变为故障安全高电平，防止进入不定态而造成系统通信错误。

表 9-2 接收机真值表 [1]

差分输入 $V_{ID} = V_A - V_B$	使能 REB[2]	输出 RO	功能
$V_{ID} \geq -20mV$	L	H	有效输出高电平
$-200mV < V_{ID} < -20mV$	L	?	总线中间态
$V_{ID} \leq -200mV$	L	L	有效输出低电平
X	H	High-Z	禁用接收机
X	Open	High-Z	禁用接收机（默认状态）
总线开路	L	H	故障安全高电平输出
总线短路	L	H	故障安全高电平输出
总线空闲	L	H	故障安全高电平输出

备注：

1. H=高电平，L=低电平，X=无关，High-Z=高阻，Open=开路，?=不确定；
2. REB 引脚内部弱上拉至 V_{CC}。

10. 应用信息

10.1. 典型应用

RS-485 总线由并联连接到总线电缆的多个收发器组成。为了消除线路反射，电缆的两个终端各自接一个终端电阻 R_T，该电阻的值应该与电缆的特性阻抗 Z_O 相匹配。同时每个节点距离总线主干线的分支长度需要尽可能短。这种并联端接电阻的方法通常可在更长的电缆长度上实现更高的数据传输速率。使用 CA-IF4905 的典型半双工 RS-485 通信网络如图 10-1 所示。

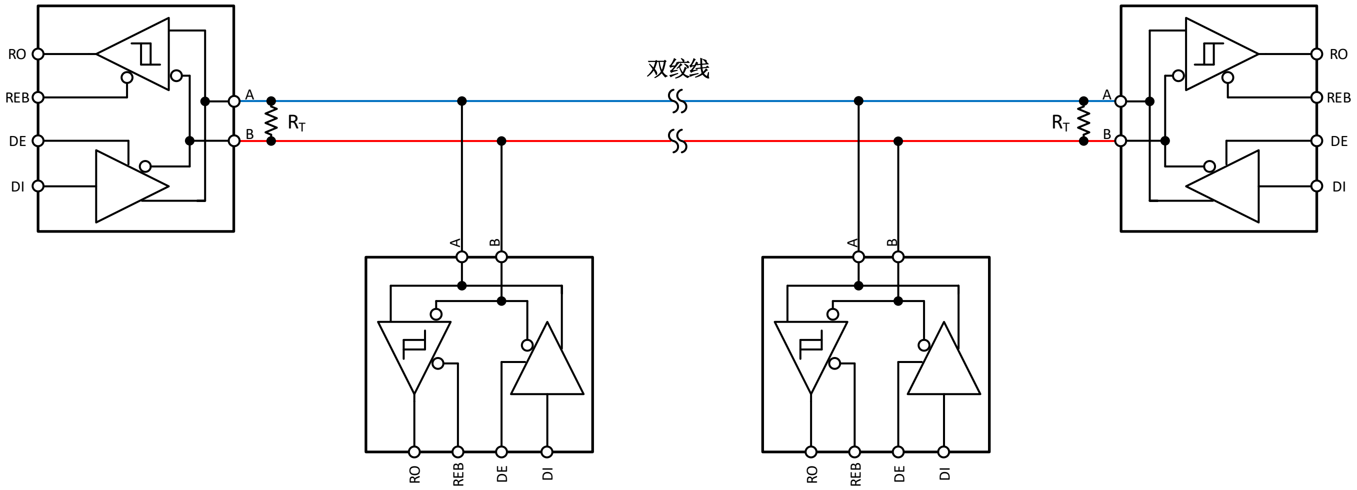


图 10-1 典型 RS-485 网络

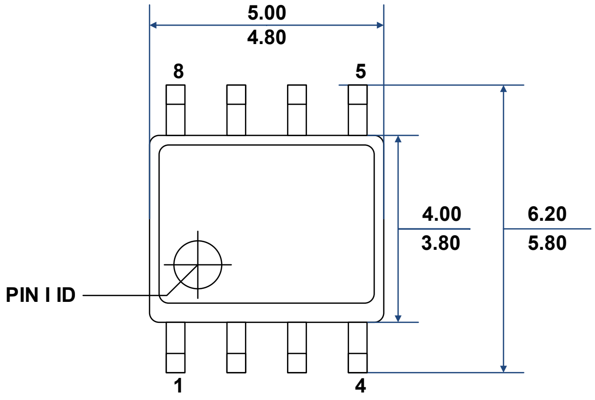
10.2. 电源供电推荐

为了保证数据传输和供电的可靠性，推荐在每个收发器的 V_{CC} 引脚尽可能近的地方放置至少 0.1μF 的解耦电容，同时将 V_{CC} 电压限制在小于 5.5V。

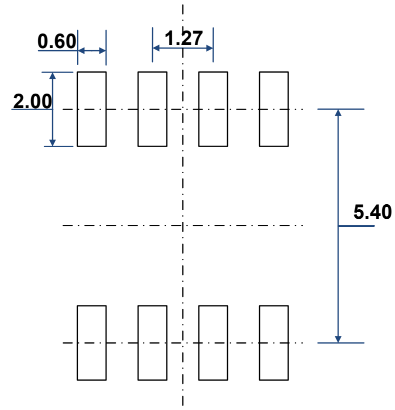
11. 封装信息

11.1. SOIC8 外形尺寸

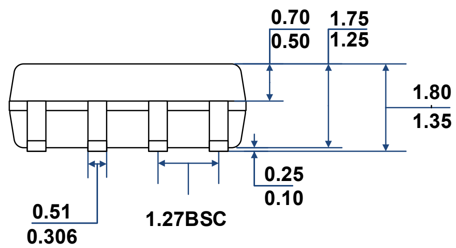
图中尺寸除角度外单位为毫米。



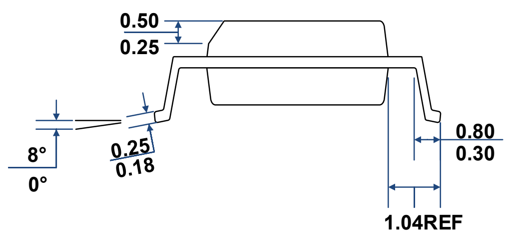
TOP VIEW



RECOMMENDED LAND PATTERN



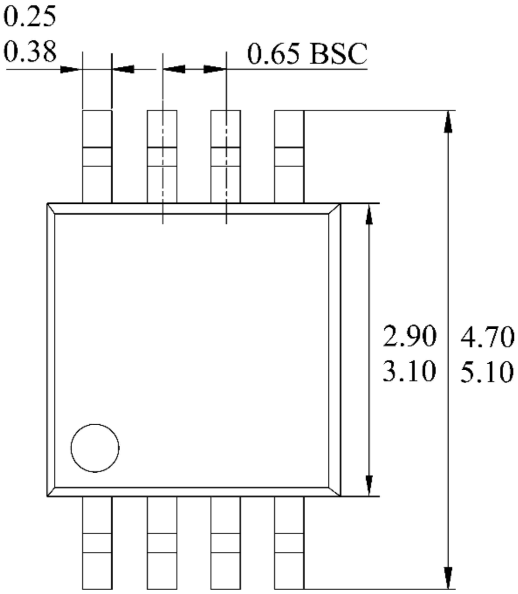
FRONT VIEW



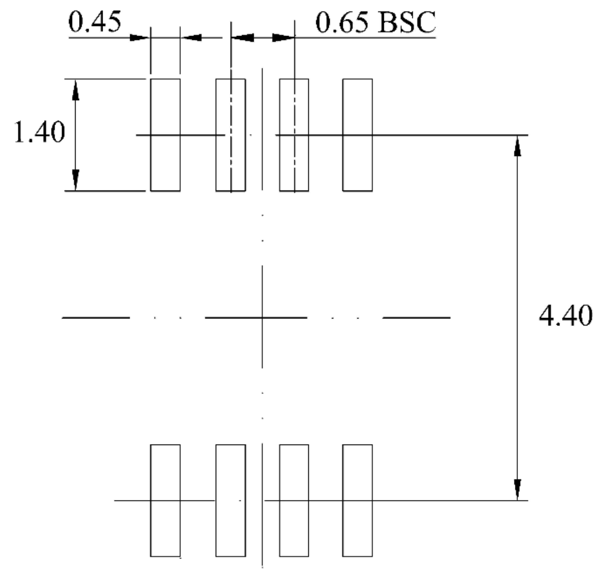
LEFT-SIDE VIEW

11.2. MSOP8 外形尺寸

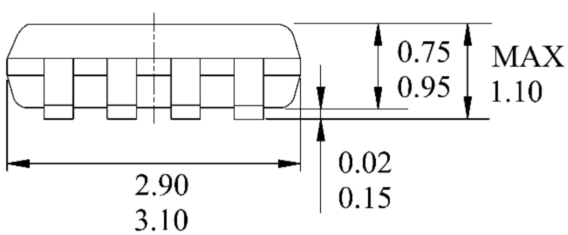
图中尺寸除角度外单位为毫米。



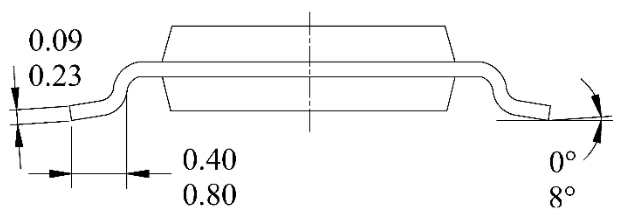
TOP VIEW



RECOMMENDED LAND PATTERN



FRONT VIEW



SIDE VIEW

12. 焊接信息

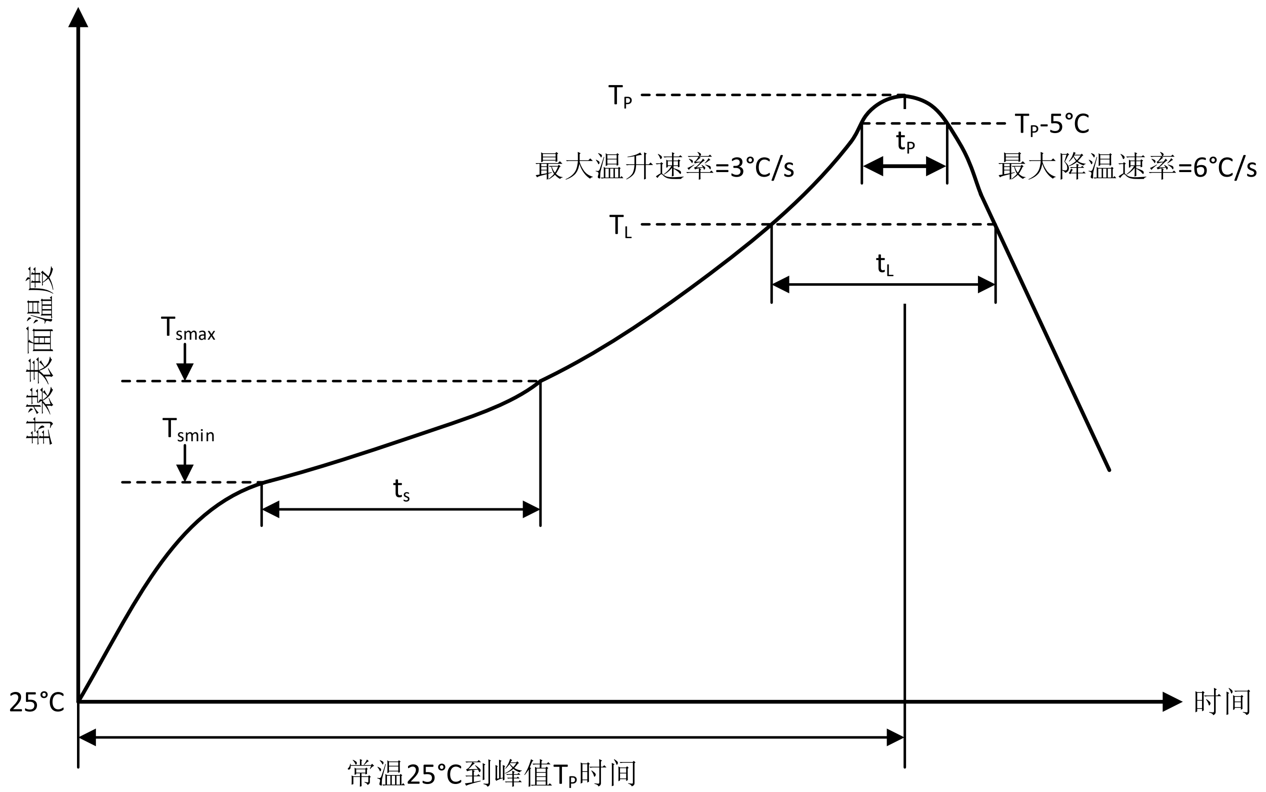
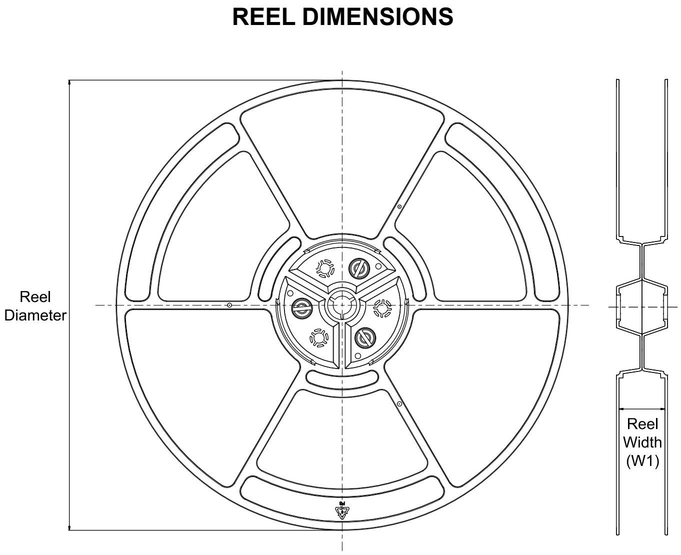


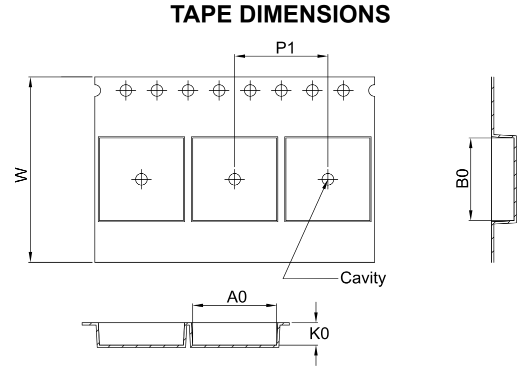
图 12-1 焊接温度曲线

表 12-1 焊接温度参数

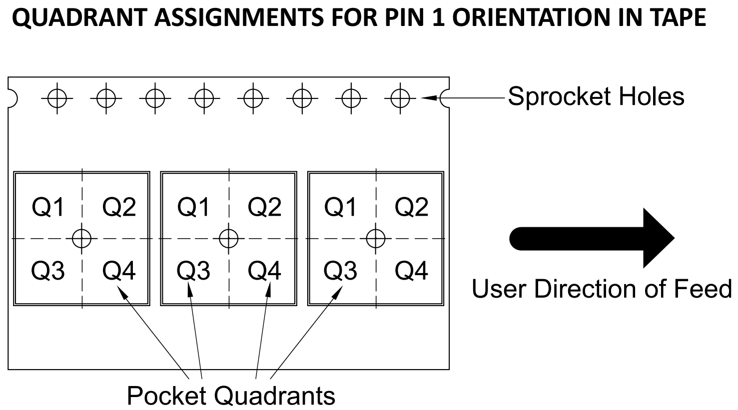
简要说明	无铅焊接
温升速率（T_L=217°C 至峰值 T_P）	最大 3°C/s
T_{smin}=150°C 到 T_{smax}=200°C 预热时间 t_s	60~120 秒
温度保持 217°C 以上时间 t_L	60~150 秒
峰值温度 T_P	260°C
小于峰值温度 5°C 以内时间 t_P	最长 30 秒
降温速率（峰值 T_P 至 T_L=217°C）	最大 6°C/s
常温 25°C 到峰值温度 T_P 时间	最长 8 分钟

13. 卷带信息





A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers



*All dimensions are nominal

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant
CA-IF4905S	SOIC8	S	8	2500	330	12.4	6.40	5.40	2.10	8.00	12.00	Q1
CA-IF4905M	MSOP8	M	8	5000	330	12.4	5.20	3.30	1.50	8.00	12.00	Q1

14. 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。 针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。 除此之外不得复制或展示所述资源， 如因使用所述资源而产生任何索赔、 赔偿、 成本、 损失及债务等， Chipanalog 对此概不负责。

商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。

http://www.chipanalog.com